

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-232772

(43)Date of publication of application : 27.08.1999

(51)Int.Cl. G11B 19/28
G11B 20/10

(21)Application number : 10-028497

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.02.1998

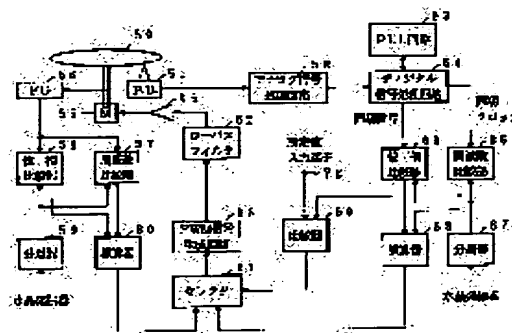
(72)Inventor : MATSUI SHIGERU
SUGIYAMA KAZUHIRO
YASHIMA NOBORU
HIRATSUKA YUKARI
KIZU NAOKI

(54) DISK ROTATION CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a disk rotation controller capable of attaining the improvement of accessibility at the inner peripheral side of the disk and putting on the brakes to the increase of the signal processing speed at the outer peripheral side.

SOLUTION: When a value for detecting the signal processing speed in a frequency compactor 65 is larger than a specified value inputted from an input temporal 70 as the result of comparison in a compactor 69, the rotational control of the disk 50 is changed over to the constant angular velocity control using the error signal of a computing element 60 from the content linear velocity control using the error signal of a comparison element 68. When a value for detecting the rotational speed in a frequency comparator 57 is larger than a specified value inputted from an input terminal 72 as the result of the comparison in a compactor 71, the rotational control of the disk 50 is changed over to the constant linear velocity control from the constant angular velocity control.



LEGAL STATUS

[Date of request for examination] 18.04.2001

[Date of sending the examiner's decision of rejection] 30.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-008918

[Date of requesting appeal against examiner's decision of rejection] 30.04.2004

[Date of extinction of right]

【特許請求の範囲】

【請求項 1】 ディスクの所定回転毎にパルスが発生するパルスジェネレータと、
このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、
上記ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、
上記再生信号の信号処理速度検出手段と、
この信号処理速度検出手段の検出値と所定値とを比較する比較器と、

上記所定値よりも上記信号処理速度手段の検出値が大きくなったとき上記ディスクの回転制御を上記第一の制御手段から上記第二の制御手段に切り換える切換手段とを備えたディスク回転制御装置。

【請求項 2】 ディスクの所定回転毎にパルスが発生するパルスジェネレータと、
このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、
上記ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、
上記第一の制御手段よりディスクの回転速度を検出する回転速度検出手段と、
この回転速度検出手段の検出値と所定値とを比較する比較器と、

上記所定値よりも上記回転速度検出手段の検出値が大きくなったとき上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える切換手段とを備えたディスク回転制御装置。

【請求項 3】 ディスクの所定回転毎にパルスが発生するパルスジェネレータと、
このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、
上記ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、
上記再生信号の信号処理速度検出手段と、
この信号処理速度検出手段の検出値と第一の所定値とを比較する第一の比較器と、

上記第一の所定値よりも上記信号処理速度手段の検出値が大きくなったとき上記ディスクの回転制御を上記第一の制御手段から上記第二の制御手段に切り換える第一の切換手段と、

上記第一の制御手段よりディスクの回転速度を検出する回転速度検出手段と、

この回転速度検出手段の検出値と第二の所定値とを比較

する第二の比較器と、

上記第二の所定値よりも上記回転速度検出手段の検出値が大きくなったとき上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える第二の切換手段とを備えたディスク回転制御装置。

【請求項 4】 ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、

10 この制御手段における速度誤差信号が所定値以下であるかを検出する検出器と、

上記速度誤差信号が所定値以下のときは上記ディスクを加速する加速信号を上記制御手段に与え、所定値以上のときは上記加速信号を解除する加速手段とを備えたディスク回転制御装置。

【請求項 5】 ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、

20 この制御手段における速度誤差信号が所定値以上であるかを検出する検出器と、

上記速度誤差信号が所定値以上のときは上記ディスクを減速する減速信号を上記制御手段に与え、所定値以下のときは上記減速信号を解除する減速手段とを備えたディスク回転制御装置。

【請求項 6】 ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、

30 この制御手段における速度誤差信号が第 1 の所定値以下かを検出する第一および第二の検出器と、

上記速度誤差信号が所定値以下のときは上記制御手段に上記ディスクを加速する加速信号を与え、所定値を超えているときは上記ディスクを減速する減速信号を与える加速手段および減速手段とを備えたディスク回転制御装置。

【請求項 7】 ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、

40 上記ディスクの再生信号から同期信号を検出し、この同期信号が所定間隔で検出されたか否かを判定する同期信号評価手段と、

上記同期信号が所定間隔で検出された場合には初期化され、所定間隔で検出されなかったときはその期間を基準信号を用いて計測する計測手段と、

この計測手段の計測値と所定値を比較する比較器と、
上記計測値が所定値以上のときは上記制御手段の制御動作を停止、またはホールドさせる切換手段とを備えたディスク回転制御装置。

【請求項 8】 ディスクの所定回転毎にパルスが発生するパルスジェネレータと、

このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、

上記ディスクの再生信号から同期信号を検出し、この同期信号が所定間隔で検出されたか否かを判定する同期信号評価手段と、

上記同期信号が所定間隔で検出されたときは初期化され、所定間隔で検出されなかったときはその期間を基準信号を用いて計測する計測手段と、

この計測手段の計測値と所定値を比較する比較器と、上記計測値が所定値以上のときは上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える切換手段とを備えたディスク回転制御装置。

【請求項 9】 ディスクの所定回転毎にパルスが発生するパルスジェネレータと、

このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、

この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、

上記ディスクの再生信号から同期信号を検出し、この同期信号が所定間隔で検出されたか否かを判定する同期信号評価手段と、

上記同期信号が所定間隔で検出されたときは初期化され、所定間隔で検出されなかったときはその期間を基準信号を用いて計測する計測手段と、

この計測手段の計測値と第一の所定値を比較する第一の比較器と、

上記計測手段の計測値と第二の所定値を比較する第二の比較器と、

上記計測値が上記第一の所定値以上のときは上記第二の制御手段の制御動作を停止またはホールドさせ、上記計測値が上記第二の所定値以上のときは上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える切換手段とを備えたディスク回転制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ディスク回転制御装置に係わるものであり、より詳しくは光ディスク等のスピンドルモータ駆動制御回路に関する。

【0002】

【従来の技術】 デジタル信号が線速度一定方式 (CLV) で記録されているディスクにおいて、光ピックアップによるトラッキングを行う場合、光ピックアップがデ

ィスクの内周部から外周部へ移動するにつれて、ディスクはその回転速度が低下するように駆動される。この回転速度の制御はディスクから再生された再生信号に同期した同期クロック (フェイズロックドループ回路で再生信号をもとに生成されるクロック) の周波数が所定の周波数になるように、スピンドルモータの回転速度を制御するようにしてなされる。以下、DVD 装置を例にして説明する。

【0003】 先ず、図 10 は DVD 装置において、スピンドルモータの制御を行うための回路のブロック図である。図において、1 はディスク、2 は光ピックアップ、3 はスピンドルモータ、4 はスピンドルモータの駆動アンプ、5 は再生信号のイコライズを行うアナログ信号処理回路、6 は再生信号をデジタル処理する回路、7 は PLL 回路、8 は周波数比較器、9 は位相比較器、10 は演算器、11 は PWM 信号生成回路である。

【0004】 次に、動作について説明する。ディスク 1 がアンプ 4 によって起動され、光ピックアップ 2 によって再生信号が読みとられると、アナログ信号処理回路 5 にて波形等化される。また、再生信号中のデータはデジタル信号処理回路 6 で処理され出力される。このとき再生信号中に所定間隔で記録されている同期信号も抽出される。上記 PLL 回路 7 はフェイズロックドループ回路で構成され、再生信号よりチャンネルクロック (再生信号に同期したデータ読みとり用同期クロック) が生成される。

【0005】 上記チャンネルクロックは、次の周波数比較器 8 に入力される。一方、DVD 装置では、ディスク 1 を線速度一定で回転させた場合のチャンネルクロック中心周波数は 26.16 MHz なので、この周波数のクロックもまたリファレンスクロックとして水晶発振器等により周波数比較器 8 に与えられる。周波数比較器 8 では、PLL 回路 7 から取り出された上記チャンネルクロックと、上記リファレンスクロックとの周波数が比較され、誤差分は周波数誤差信号として出力される。

【0006】 ところで、位相比較器 9 には上記周波数比較器 8 と同様に水晶発振器等により 26.16 MHz のリファレンスクロックが与えられ、これが同期信号の記録間隔に相当する分、分周される (分周されたクロックの周期はディスク 1 が線速度一定で回転している場合の同期信号の周期に等しくなる)。そして、この分周クロックと上記同期信号から生成されたクロックが位相比較器 9 で、位相誤差信号として出力される。

【0007】 上記周波数誤差信号と位相誤差信号はともに演算器 10 に入力され、それぞれ実数倍されてゲイン調整された後、加算されて出力される。この演算器 10 の誤差信号出力は PWM 信号生成回路 11 に入力され、PWM (パルスワイドモジュレーション) 変換され、アンプ 4 に与えられる。アンプ 4 によって PWM 出力された誤差信号をキャンセルするようにスピンドルモータ 3

の回転数が制御されるので、ディスク 1 は定線速度で回転する。

【0008】

【発明が解決しようとする課題】 以上のように、DVD 装置では、スピンドルモータ 3 の回転制御は線速度一定の CLV 方式が用いられている。しかし、回転数一定の CAV 方式とは異なり、通常再生以外の、例えば内周から外周またはその反対のトラックジャンプなどでは、ディスク 1 の回転数が大きく変わるため、ディスク 1 のイナーシャ等により線速度一定の状態に再度引き込み、信号が読みとれる状態に制定するには時間がかかる。そこでアクセス性向上のために CAV 方式で信号を読みとればこの問題は解決できるが、CLV 方式で記録された DVD 信号を CAV 方式で読み取ろうとすると外周に行くほど再生信号の周波数が増大し、それだけ高速処理が要求される。

【0009】ところが、後段のデジタル信号処理回路 6 などで記憶回路に使用するメモリのアクセス速度には限界があり、また PLL 回路 7 も広帯域のものが必要になり、さらに、内周では低速処理しかできないので、ディスク 1 の回転速度を上げるにも限界がある。

【0010】この発明は上述のような課題を解消するためになされたもので、ディスクの内周側ではアクセス性の向上に重点を置いた定角度制御、外周側では信号処理速度の増大に歯止めをかける定線速度制御にディスクの回転制御方法を切り換えるディスク回転制御装置を得ることを目的とする。

【0011】

【課題を解決するための手段】 この発明に係るディスク回転制御装置においては、ディスクの所定回転毎にパルスが発生するパルスジェネレータと、このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、上記再生信号の信号処理速度検出手段と、この信号処理速度検出手段の検出値と所定値とを比較する比較器と、上記所定値よりも上記信号処理速度手段の検出値が大きくなったとき上記ディスクの回転制御を上記第一の制御手段から上記第二の制御手段に切り換える切換手段とを備えたものである。

【0012】また、ディスクの所定回転毎にパルスが発生するパルスジェネレータと、このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、上記第一の制御手段よりディスクの回転速度を検出する回転速度検出手段

と、この回転速度検出手段の検出値と所定値とを比較する比較器と、上記所定値よりも上記回転速度検出手段の検出値が大きくなったとき上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える切換手段とを備えたものである。

【0013】また、ディスクの所定回転毎にパルスが発生するパルスジェネレータと、このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、上記再生信号の信号処理速度検出手段と、この信号処理速度検出手段の検出値と第一の所定値とを比較する第一の比較器と、上記第一の所定値よりも上記信号処理速度手段の検出値が大きくなったとき上記ディスクの回転制御を上記第一の制御手段から上記第二の制御手段に切り換える第一の切換手段と、上記第一の制御手段よりディスクの回転速度を検出する回転速度検出手段と、この回転速度検出手段の検出値と第二の所定値とを比較する第二の比較器と、上記第二の所定値よりも上記回転速度検出手段の検出値が大きくなったとき上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える第二の切換手段とを備えたものである。

【0014】また、ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、この制御手段における速度誤差信号が所定値以下であるか否かを検出する検出器と、上記速度誤差信号が所定値以下のときは上記ディスクを加速する加速信号を上記制御手段に与え、所定値以上のときは上記加速信号を解除する加速手段とを備えたものである。

【0015】また、ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、この制御手段における速度誤差信号が所定値以上であるか否かを検出する検出器と、上記速度誤差信号が所定値以上のときは上記ディスクを減速する減速信号を上記制御手段に与え、所定値以下のときは上記減速信号を解除する減速手段とを備えたものである。

【0016】また、ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、この制御手段における速度誤差信号が第 1 の所定値以下か否かを検出する第一および第二の検出器と、上記速度誤差信号が所定値以下のときは上記制御手段に上記ディスクを加速する加速信号を与え、所定値を超えているときは上記ディスクを減速する減速信号を与える加速手段および減速手段とを備えたものである。

【0017】また、ディスクの再生信号に同期した信号

10

20

30

40

50

を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する制御手段と、上記ディスクの再生信号から同期信号を検出し、この同期信号が所定間隔で検出されたか否かを判定する同期信号評価手段と、上記同期信号が所定間隔で検出された場合には初期化され、所定間隔で検出されなかったときはその期間を基準信号を用いて計測する計測手段と、この計測手段の計測値と所定値を比較する比較器と、上記計測値が所定値以上のときは上記制御手段の制御動作を停止、またはホールドさせる切換手段とを備えたものである。

【0018】また、ディスクの所定回転毎にパルスが発生するパルスジェネレータと、このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、上記ディスクの再生信号から同期信号を検出し、この同期信号が所定間隔で検出されたか否かを判定する同期信号評価手段と、上記同期信号が所定間隔で検出されたときは初期化され、所定間隔で検出されなかったときはその期間を基準信号を用いて計測する計測手段と、この計測手段の計測値と所定値を比較する比較器と、上記計測値が所定値以上のときは上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える切換手段とを備えたものである。

【0019】さらに、ディスクの所定回転毎にパルスが発生するパルスジェネレータと、このパルスジェネレータの出力パルスを入力として上記ディスクの回転を定角速度制御する第一の制御手段と、上記ディスクの再生信号に同期した信号を生成する信号生成手段と、この信号生成手段で生成された信号を用いて上記ディスクの回転を定線速度制御する第二の制御手段と、上記ディスクの再生信号から同期信号を検出し、この同期信号が所定間隔で検出されたか否かを判定する同期信号評価手段と、上記同期信号が所定間隔で検出されたときは初期化され、所定間隔で検出されなかったときはその期間を基準信号を用いて計測する計測手段と、この計測手段の計測値と第一の所定値を比較する第一の比較器と、上記計測手段の計測値と第二の所定値を比較する第二の比較器と、上記計測値が上記第一の所定値以上のときは上記第二の制御手段の制御動作を停止またはホールドさせ、上記計測値が上記第二の所定値以上のときは上記ディスクの回転制御を上記第二の制御手段から上記第一の制御手段に切り換える切換手段とを備えたものである。

【0020】

【発明の実施の形態】この発明の実施の形態1であるディスク回転制御装置においては、比較器における比較の結果、所定値よりも信号処理速度手段の検出値が大きく

なったとき、ディスクの回転制御が第一の制御手段から第二の制御手段に切り換えられる。

【0021】また、比較器における比較の結果、所定値よりも回転速度検出手段の検出値が大きくなったとき、ディスクの回転制御が第二の制御手段から第一の制御手段に切り換えられる。

【0022】また、第一の比較器における比較の結果、第一の所定値よりも信号処理速度手段の検出値が大きくなったとき、ディスクの回転制御が第一の制御手段から第二の制御手段に切り換えられ、第二の比較器における比較の結果、第二の所定値よりも回転速度検出手段の検出値が大きくなったとき、ディスクの回転制御が第二の制御手段から第一の制御手段に切り換えられる。

【0023】また、検出器における検出の結果、速度誤差信号が所定値以下のときは加速手段からディスクを加速する加速信号が制御手段に与えられ、速度誤差信号が所定値以上のときは加速信号が解除される。

【0024】また、検出器における検出の結果、速度誤差信号が所定値以上のときは減速手段からディスクを減速する減速信号が制御手段に与えられ、速度誤差信号が所定値以下のときは減速信号が解除される。

【0025】また、第一の検出器における検出の結果、速度誤差信号が所定値以下のときは加速手段からディスクを加速する加速信号が制御手段に与えられ、速度誤差信号が所定値以上のときは加速信号が解除され、第二の検出器における検出の結果、速度誤差信号が所定値以上のときは減速手段からディスクを減速する減速信号が制御手段に与えられ、速度誤差信号が所定値以下のときは減速信号が解除される。

【0026】また、同期信号評価手段における評価の結果、同期信号が所定間隔で検出されたときは計測手段が初期化され、同期信号が所定間隔で検出されていないときはその期間が計測手段によって基準信号を用いて計測される。そして比較器によって計測手段の計測値と所定値が比較され、計測値が所定値以上のとき切換手段によって制御動作が停止またはホールドされる。

【0027】また、同期信号評価手段における評価の結果、同期信号が所定間隔で検出されたときは計測手段が初期化され、同期信号が所定間隔で検出されていないときはその期間が計測手段によって基準信号を用いて計測される。そして比較器によって計測手段の計測値と所定値が比較され、計測値が所定値以上のとき切換手段によってディスクの回転の制御が第二の制御手段から第一の制御手段に切り換えられる。

【0028】さらに、同期信号評価手段における評価の結果、同期信号が所定間隔で検出されたときは計測手段が初期化され、同期信号が所定間隔で検出されないときはその期間が計測手段によって基準信号を用いて計測される。そして第一および第二の比較器によって計測手段の計測値と第一および第二の所定値がそれぞれ比較さ

れ、計測値が第一の所定値以上のときは切換手段によってディスクの回転の制御が停止またはホールドされ、計測値が第二の所定値以上のときは第一の制御手段に切り換えられる。

【0029】以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

実施の形態 1. 図 1 は、この発明の実施の形態 1 であるディスク回転制御装置の一例を示すブロック図である。図において、50 はディスク、51 は光ピックアップ、52 は再生信号のイコライズを行うアナログ信号処理回路、53 は再生データに同期したクロックを生成する PLL 回路、54 はデジタル信号処理回路である。

【0030】また、55 はスピンドルモータ、56 はスピンドルモータ 55 の 1 回転につき複数のパルスが出力されるパルスジェネレータ、57 は周波数比較器、58 は位相比較器、59 は水晶発振器等により入力されたクロックを分周する分周器、60 は演算器、61 はセレクタ、62 はローパスフィルタ、63 は PWM 信号生成回路、64 はスピンドルモータを駆動するためのアンプである。

【0031】また、65 は周波数比較器、66 は位相比較器、67 は水晶発振器等により入力されたクロックを分周する分周器、68 は演算器、69 は入力端子 70 から入力された所定値と周波数比較器 65 から出力される周波数計測値を比較する比較器である。

【0032】次に動作について説明する。まず、初期化が行われた後、ディスク 50 が回転を始め、光ピックアップ 51 内のフォーカスおよびトラック制御が行われる。パルスジェネレータ 56 を用いたスピンドル制御は以下のようになる。起動前に所定の分周比を分周器 59 に対してセットする場合、一例として分周比 M は分周器 59 に入力される水晶発振器等の周波数 f、所定速のディスク 50 の回転数 n、パルスジェネレータのディスク 50 における 1 回転あたりの出力パルス数を k とすると $M = n / f k$ (1)

で求めることができる。

【0033】次に、周波数比較器 57 では上記水晶発振器を用いてパルスジェネレータ 56 から入力されるパルスの間隔が計測される。ディスク 50 が所定の回転数で回転しているならば上記分周比 M と上記周波数比較器 57 の周波数計測値は等しくなるが、そうでない場合は誤差が生じる。周波数比較器 57 からは上記分周比 M に対する誤差値が 1 パルス毎に出力される。また、位相比較器 58 では分周器 59 の出力信号と上記パルスジェネレータから出力されるパルスの出力タイミングの位相が比較される。もし、上記出力パルスのタイミングと分周器 59 の出力信号が位相同期していなければ誤差分が計測されて出力される。

【0034】次に、上記周波数比較器 57 と位相比較器 58 とはともに演算器 60 に入力され、それぞれゲイン

調整のために実数倍されてから加算される。この加算された誤差分の出力はセレクタ 61 を通り、PWM 信号生成回路 63 に入力され、誤差分が PWM 変調されてから出力される。この出力はローパスフィルタ 62 に入力され、信号の高域成分が除去される。但し、図 1 では上記ローパスフィルタ 62 はアナログ回路を想定して、PWM 信号生成回路 63 で PWM 変調されてから出力されるように構成されているが、ローパスフィルタ 62 をディジタルフィルタで構成しても良い。この場合は PWM 信号生成回路 63 は不要である (PWM 変調で誤差分を時間軸変動に変換する動作はディジタルフィルタで行われる)。

【0035】次に、上記ローパスフィルタ 62 の出力はアンプ 64 に入力され、周波数および位相誤差分がキャンセルされるようにスピンドルモータ 55 が制御される。上記周波数および位相誤差分が無い状態ではディスク 50 は所定回転数で回転しており、上記動作によってディスク 50 は CAV (定角速度) 制御がなされる。

【0036】次に、フォーカスあるいはトラックサーボが掛かり、再生信号が読み取れる状態になると光ピックアップ 51 の出力信号はアナログ信号処理回路 52 に入力され、データのイコライジングや二値化の処理が行われ、ディジタル信号処理回路 54 で同期信号が抽出された後、誤り訂正などの信号処理が行われる。また、上記イコライズされた再生信号は PLL 回路 54 に入力され、上記同期信号をもとにデータに位相同期したクロックが生成される。また、上記位相同期したクロックはディジタル信号処理回路 54 に入力され、データ読みとり

に用いられる。

【0037】次に、アナログ信号処理回路 52 にて処理された再生信号はディジタル信号処理回路 54 に入力される。次に、PLL 回路 53 からは再生信号に位相同期したクロックが次の周波数比較器 65 に入力されるほか、再生データを抽出するためのクロックとしても用いられる。一方、分周器 67 には水晶発振器等により基準クロックが与えられ、所定の分周比に分周された後、リファレンスクロックとして周波数比較器 65 に与えられ、リファレンスクロック 1 周期間内における上記 PLL 回路 53 からの入力クロックのクロック数が計測される。この計測値は目標値、即ち、ディスク 50 が線速度一定で回転しているときの計測値 (線速度一定なら一定値) と比較され、誤差分が周波数誤差信号として出力される。

【0038】次に、上記同期信号は上記再生信号の一定間隔毎にディスク 50 に記録されているので、ディジタル信号処理回路 54 からは PLL 回路 53 からのクロックを分周して上記同期信号に位相同期した同期クロック (PLL 回路 53 の出力クロックが再生信号に即ち上記同期信号に位相同期している場合) が出力される。これはディジタル信号処理回路 54 でもデータを判別するた

めの基準信号として用いられる。一方、分周器 6 7 から PLL 回路 5 3 から出力されたクロックから上記同期クロックを生成する際の分周比に相当する分、分周され、位相誤差検出用クロックとして出力される（分周された位相誤差検出用クロックの周波数はディスク 5 0 が線速度一定で回転している場合の上記同期クロックの周波数に等しくなる）。そして、位相比較器 6 6 にて上記同期クロックと上記位相誤差検出用クロックの出力タイミングの位相が比較される。もし、位相同期していなければ誤差分が計測されて位相誤差信号として出力される。

【0039】上記周波数誤差信号と位相誤差信号はともに演算器 6 8 に入力され、それぞれ実数倍されてゲイン調整された後、加算されて出力される。この演算器 6 8 の出力はセクタ 6 1 に入力される。以下、上記演算器 6 8 の周波数および位相誤差分出力が選択される場合はこの信号が PWM 信号生成回路 6 3 に入力され、ディスク 5 0 は CLV（定線速度）制御がなされる。

【0040】上記動作において、ディスク 5 0 を CAV 制御すれば、内周から外周またはその逆方向に光ピックアップ 5 1 を移動させた場合、ディスク 5 0 の回転数を変動させる必要がないので PLL 回路 5 3 も移動後に再同期しやすく、アクセス性が向上する。そこで、通常ディスク 5 0 の内周側では上記セクタ 6 1 において演算器 6 0 の出力が選択されている。しかし、線速度一定で記録された DVD、CD などの光ディスクでは外周にいくほど再生信号の周波数が大きくなり、PLL 回路 5 3 からのクロックの周波数もそれに同期して増大する。

【0041】そこで、上記周波数比較器 6 5 で計測された計測値（CAV 制御中は外周に行くほど大きくなる）と入力端子 7 0 から入力された所定値とが比較器 6 9 で比較される。ここで、入力端子 7 0 から入力された所定値とは、一例として、PLL 回路 5 3 で位相同期できるクロック周波数の上限またはデジタル信号処理回路 5 4 で信号処理できる上限で動作している場合において、周波数比較器 6 5 で計測された計測値とする。

【0042】上記において、比較器 6 9 で上記周波数比較器 6 5 で計測された計測値と上記所定値とが同じ値か上記周波数比較器 6 5 で計測された計測値の方が大きいときは、セクタ 6 1 において演算器 6 8 の誤差分が選択される信号が出力され、CLV 制御に移行する。従って、CLV 制御移行のために再生信号周波数の増大がストップして一定値に制御されるため、PLL 回路 5 3 の出力クロックの増大がとまり、デジタル信号処理回路 5 4 では信号処理速度の増大に歯止めがかかる。

【0043】この実施の形態 1 における以上の動作において、比較器 6 9 によってディスク 5 0 の内周側ではアクセス性の向上に重点をおいた CAV 制御、外周側では信号処理速度の増大に歯止めをかけるための CLV 制御へと再生位置に応じた適切なディスク制御をかけること

が可能になる。

【0044】なお、入力端子 7 0 から入力される所定値は最高処理速度を示す限界値に限らず、CAV⇒CLV 移行のための任意の値で良い。図 2 に示すと、限界値 A 点設定（実線）、B 点を設定（点線）の場合において、それぞれのところから外周は CLV 制御、内周は CAV 制御になる。但し、図 2 では最内周で 1 倍速の処理速度で CAV 制御され、最高処理速度は n 倍速である場合を示した。

10 【0045】実施の形態 2. 図 3 はこの発明の実施の形態 2 であるディスク回転制御装置の一例を示すブロック図である。図において、図 1 と同一符号はそれぞれ同一または相当部分を示しており、7 1 は比較器、7 2 は所定値の入力端子、7 3 はセクタである。

【0046】次に動作について説明する。外周から内周に光ピックアップ 5 1 をジャンプさせる場合には CLV 制御のままだと内周に行くほどスピンドルモータ 5 5 の回転数が増大する。そこで、上記周波数比較器 5 7 で計測された、パルスジェネレータ 5 6 から入力されるパルス間隔計測値（CLV 制御中は内周に行くほど大きくなる）と入力端子 7 2 から入力された所定値とが比較器 7 1 で比較される。ここで、所定値とはスピンドルモータ 5 5 が所定速で回転するとき上記周波数比較器 5 7 で計測された値とする。

20 【0047】上記において、比較器 7 1 において上記周波数比較器 5 7 で計測された計測値と上記所定値とが同じ値か上記周波数比較器 5 7 で計測された計測値の方が大きいときは、セクタ 7 3 において演算器 6 0 の誤差分が選択される信号が出力され、CAV 制御に移行する。従って、CAV 制御移行のためにスピンドルモータ 5 5 の回転数の増大がストップして一定値に制御されるため、内周における過剰回転が防止される。

【0048】この実施の形態 2 における以上の動作において、比較器 7 1 によって外周では最高速の信号処理を CLV で行い、内周では信号処理速度を落として CAV 制御に移行することで、内周で CLV 制御をさせることによるスピンドルモータ 5 5 の回転数の増大や、それに伴う振動や消費電力の増加を押さえることが可能になる。

40 【0049】なお、入力端子 7 2 から入力される所定値はスピンドルモータ 5 5 が限界速で回転するときの値を示す限界値に限らず、CLV⇒CAV 移行のための任意の値で良い。この場合は内周では CAV 制御に移行し、スピンドルモータ 5 5 回転数が一定に制御される。図 4 に示す限界値 C 点設定（実線）、D 点を設定（点線）の場合において、それぞれのところから外周は CLV 制御、内周は CAV 制御になる。但し、図 4 では最外周で m r p m で CLV 制御され、限界回転数は n r p m である場合を示した。

50 【0050】実施の形態 3. 図 5 はこの発明の実施の形

態3であるディスク回転制御装置の一例を示すブロック図である。図において、図1および図3と同一符号はそれぞれ同一または相当部分を示しており、101はセクタである。

【0051】次に動作について説明する。まず、ディスク50を内周から外周に光ピックアップ51をジャンプさせる場合にはCAV制御のまま外周に行くほど信号処理速度が増大する。そこで、上記周波数比較器65で計測された計測値（CAV制御中は外周に行くほど大きくなる）と入力端子70から入力された所定値とが比較器69で比較される。ここで、入力端子70から入力された所定値とは、一例としてPLL回路53で位相同期できるクロック周波数の上限またはデジタル信号処理回路54で信号処理できる上限で動作している場合において、周波数比較器65で計測された計測値とする。

【0052】上記において、比較器69で上記周波数比較器65で計測された計測値と上記所定値とが同じ値か上記周波数比較器65で計測された計測値の方が大きいときは、セクタ101において演算器68の誤差分が選択される信号が出力され、CLV制御に移行する。従って、CLV制御移行のために再生信号周波数の増大がストップして一定値に制御されるため、PLL回路53の出力クロックの増大が止まり、デジタル信号処理回路54では信号処理速度の増大に歯止めがかかる。

【0053】次に、外周から内周に光ピックアップ51をジャンプさせる場合にはCLV制御のまま内周に行くほどスピンドルモータ55の回転数が増大する。そこで、上記周波数比較器57で計測された、パルスジェネレータ56から入力されるパルス間隔計測値（CLV制御中は内周に行くほど大きくなる）と入力端子72から入力された所定値とが比較器71で比較される。ここで、所定値とはスピンドルモータ55が所定速で回転するとき上記周波数比較器57で計測された値とする。

【0054】上記において、比較器71において上記周波数比較器57で計測された計測値と上記所定値とが同じ値か上記周波数比較器57で計測された計測値の方が大きいときは、セクタ101において演算器60の誤差分が選択される信号が出力され、CAV制御に移行する。従って、CAV制御移行のためにスピンドルモータ55の回転数の増大がストップして一定値に制御されるため、内周における過剰回転が防止される。

【0055】以上の動作において、比較器69によってディスク50の内周側ではアクセス性の向上に重点をおいたCAV制御、外周側では信号処理速度の増大に歯止めをかけるためのCLV制御へと再生位置に応じた適切なディスク制御をかけることが可能になる。また、比較器71によって外周では最高速の信号処理をCLVで行い、内周では信号処理速度を落としてCAV制御に移行することで、内周でCLV制御をさせることによるスピンドルモータ55の回転数の増大や、それに伴う振動や

消費電力の増加を押さえることが可能になる。

【0056】なお、入力端子70から入力される所定値は最高処理速度を示す限界値に限らず、CAV⇒CLV移行のための任意の値、また入力端子72から入力される所定値はスピンドルモータ55が限界速で回転するときの値を示す限界値に限らず、CLV⇒CAV移行のための任意の値で良い。以上によって、内周ではCAV制御、外周ではCLV制御にそれぞれ自動的に切り替わる。

10 【0057】実施の形態4. 図6はこの発明の実施の形態4であるディスク回転制御装置の一例を示すブロック図である。図において、図1と同一符号はそれぞれ同一または相当部分を示しており、74は加速信号の入力端子、75は制御回路、76はアンダーフロー検出器、77はセクタ、103は入力端子である。

20 【0058】次に動作について説明する。入力端子74から供給されたディスク50の加速（キック）信号はセクタ77に輸入されるとともに、制御回路75に与えられる。入力端子103から与えられた制御信号はセクタ61の切り換えに用いられ、演算器60または演算器68の出力が切り換えられるように構成されている。一方、アンダーフロー検出器76においてセクタ61の演算器60あるいは演算器68の出力である誤差信号の値と所定値とが比較される。ここで、比較の結果ディスク50の回転数が極端に低く加速が必要な場合はアンダーフロー信号が制御回路75に出力される。また、比較の結果ディスク50の回転数がCAV制御あるいはCLV制御されているときの回転数に近づいた場合はアンダーフロー信号の出力が停止される。

30 【0059】制御回路75ではアンダーフロー検出器76からアンダーフロー信号が出力されている間、セクタ77において入力端子74から上記加速（キック）信号を出力させるため、選択信号を出力し、アンダーフロー信号が停止するとPWM信号生成回路63の出力を選択させる信号を出力する。従って、アンダーフロー信号が出力されている間ディスク50は加速状態となり、それ以外ではPWM信号によりディスク50が制御される。

40 【0060】なお、上記アンダーフロー検出器76における所定値を、例えばPWM信号のduty比が0%あるいは100%となるときに誤差信号値とすると、ディスク50の回転が低すぎPWM制御不能なときに、アンダーフロー信号が出力されることになるので、入力端子74から強制的に加速信号を送ることができ、PWM信号のduty比が0~100%以内でPWM制御可能になったとき加速信号を解除できることになる。但し、上記所定値は上記誤差信号値に限定されるものではなく、ディスク50がある一定回転以上になったとき加速信号が解除できるように設定すれば良い。

50 【0061】実施の形態5. 図7はこの発明の実施の形

態5であるディスク回転制御装置の一例を示すブロック図である。図において、図6と同一符号はそれぞれ同一または相当部分を示しており、78は減速信号の入力端子、79は制御回路、80はオーバーフロー検出器、81はセクタである。

【0062】次に動作について説明する。入力端子78から供給されたディスク50の減速（ブレーキ）信号はセクタ81に入力されるとともに、制御回路79に与えられる。入力端子103から与えられた制御信号はセクタ61の切り換えに用いられ、演算器60または演算器68の出力が切り換えられるように構成されている。一方、オーバーフロー検出器80においてセクタ61の演算器60あるいは演算器68の出力である誤差信号の値と所定値とが比較される。ここで、比較の結果ディスク50の回転数が極端に高く減速が必要な場合はオーバーフロー信号が制御回路79に出力される。また、比較の結果ディスク50の回転数がCAV制御あるいはCLV制御されているときの回転数に近づいた場合はオーバーフロー信号の出力が停止される。

【0063】制御回路79ではオーバーフロー検出器80からオーバーフロー信号が出力されている間、セクタ81において入力端子78から上記減速（ブレーキ）信号を出力させるため、選択信号を出力し、オーバーフロー信号が停止するとPWM信号生成回路63の出力を選択させる信号を出力する。従って、オーバーフロー信号が出力されている間ディスク50は減速状態となり、それ以外ではPWM信号によりディスク50が制御される。

【0064】なお、上記オーバーフロー検出器80における所定値を、例えばPWM信号のduty比が0%あるいは100%となるときの誤差信号値とすると、ディスク50の回転が高すぎPWM制御不能なときに、オーバーフロー信号が出力されることになるので、入力端子78から強制的に減速信号を送ることができ、PWM信号のduty比が0～100%以内でPWM制御可能になったとき減速信号を解除できることになる。但し、上記所定値は上記誤差信号値に限定されるものではなく、ディスク50がある一定回転以下になったとき減速信号が解除できるように設定すれば良い。

【0065】実施の形態6. 図8はこの発明の実施の形態6であるディスク回転制御装置の一例を示すブロック図である。図において、図7と同一符号はそれぞれ同一または相当部分を示しており、102はセクタである。先ず、入力端子74から供給されたディスク50の加速（キック）信号はセクタ102に入力されるとともに、制御回路75に与えられる。入力端子103から与えられた制御信号はセクタ61の切り換えに用いられ、演算器60または演算器68の出力が切り換えられるように構成されている。一方、アンダーフロー検出器76においてセクタ61の演算器60あるいは演算器

68の出力である誤差信号の値と所定値とが比較される。ここで、比較の結果ディスク50の回転数が極端に低く加速が必要な場合はアンダーフロー信号が制御回路75に出力される。また、比較の結果ディスク50の回転数がCAV制御あるいはCLV制御されているときの回転数に近づいた場合はアンダーフロー信号の出力が停止される。

【0066】制御回路75ではアンダーフロー検出器76からアンダーフロー信号が出力されている間、セクタ102において入力端子74から上記加速（キック）信号を出力させるため、選択信号を出力し、アンダーフロー信号が停止するとPWM信号生成回路63の出力を選択させる信号を出力する。従って、アンダーフロー信号が出力されている間ディスク50は加速状態となる。

【0067】次に、入力端子78から供給されたディスク50の減速（ブレーキ）信号はセクタ102に入力されるとともに、制御回路79に与えられる。一方、オーバーフロー検出器80においてセクタ61の演算器60あるいは演算器68の出力である誤差信号の値と所定値とが比較される。ここで、比較の結果ディスク50の回転数が極端に高く減速が必要な場合はオーバーフロー信号が制御回路79に出力される。また、比較の結果ディスク50の回転数がCAV制御あるいはCLV制御されているときの回転数に近づいた場合はオーバーフロー信号の出力が停止される。

【0068】制御回路79ではオーバーフロー検出器80からオーバーフロー信号が出力されている間、セクタ102において入力端子78から上記減速（ブレーキ）信号を出力させるため、選択信号を出力し、オーバーフロー信号が停止するとPWM信号生成回路63の出力を選択させる信号を出力する。従って、オーバーフロー信号が出力されている間ディスク50は減速状態となる。したがって、アンダーフロー信号またはオーバーフロー信号が出力されないときはPWM信号によりディスク50が制御される。

【0069】ディスク50の回転が所定値以外でPWM制御不能なときに、アンダーフロー信号またはオーバーフロー信号が出力されることになるので、強制的に加速または減速信号を送ることができ、PWM信号のduty比が0～100%以内でPWM制御可能になったとき加速または減速信号を解除できることになる。但し、上記所定値は上記誤差信号値に限定されるものではなく、ディスク50がある一定回転以外になったとき加速または減速信号が解除できるように設定すれば良い。

【0070】実施の形態7. 図9はこの発明の実施の形態7であるディスク回転制御装置の一例を示すブロック図である。図において、図1と同一符号はそれぞれ同一または相当部分を示しており、83は同期信号ロック判定回路、84は分周器、85、86はカウンタ、87はセクタ周期信号の入力端子、88はセクタ期間信号の入

力端子、89、90は比較器、91は制御回路、92はセクタ、93は基準信号の入力端子、94はホールド信号である。

【0071】次に動作について説明する。デジタル信号処理回路54から入力された同期信号は、誤検出や欠落が無く所定の周期（記録フォーマット等で決められている周期）であるかどうか同期信号ロック判定回路83で判定される。この同期信号ロック判定回路83動作はPLL回路53の同期クロックのロック判定にも用いることができ、再生信号が正しく読みとれる状態にあるかどうかの目安にもなる。したがって、数周期に亘って同期信号が欠落している場合、PLL回路53の同期クロックは再生信号に同期していないことになるため、この同期クロックを用いたCLV制御は不適当になる。最悪の場合同期クロックが完全に同期はずれを起こし、固定周期のクロックとして出力されている場合、分周器67のクロックとの周期差から常に加速、または減速の誤差信号が出力され、ディスク50は過回転もしくは停止、逆回転といった誤動作が起こる。そこで、同期信号ロック判定回路83の判定の結果、正しく同期信号が

入力されているときはカウンタ85、86は上記同期信号周期毎にリセットされる。

【0072】一方、分周器84では入力端子93から入力された基準信号を所定の周期のクロック（一例として上記同期信号の周期）に分周され、カウンタ85、86に入力される。ここで、カウンタ85、86はクロックが入力されても正しく同期信号が入力されているときは上記同期信号周期毎にリセットされるため、カウントアップしてもすぐにリセットされることになる。しかし、同期信号が欠落または誤検出の場合は同期信号ロック判定回路83からリセット信号が出力されないため、次に同期信号が正しく入力されリセットされるまでカウンタ85、86はカウントアップされる。ただし、カウンタ85とカウンタ86はカスケード接続され、カウンタ86はカウンタ85の上位ビットに相当する。

【0073】次に、入力端子87から再生信号の所定セクタ周期に相当する値a、一例としてDVDROMでは26フレーム（同期信号周期）で1セクタなので26としてこの値を入力し、比較器89でカウンタ85の値と比較する。また、入力端子88から数十セクタ周期に相当する期間に相当する値b、一例として20セクタとし20を入力し、比較器90で比較する。

【0074】制御回路91では比較器89においてカウンタ85の値がaより小さいとき、即ち上記同期信号の欠落が1セクタより小さいとき（通常再生のとき）、セクタ92は演算器68の出力（CLV誤差信号）をPWM信号生成回路63に出力し、カウンタ85の値がaより大きいとき（トラックジャンプなどのとき起こる）、ホールド信号を出力して、PWM信号生成回路63の出力をホールドさせる。したがって、ディスク50

は1セクタより大きい同期信号欠落ではCLV制御されずにホールド状態（スピンドルモータ55に制御電圧がかからず、慣性で回っている状態）になり、上記PLL回路53の同期クロックが再びロック状態になるまで、上記ディスク50の過回転もしくは停止、逆回転といった誤動作が防止される。

【0075】次に、ディスク50のホールド状態がいつまでも続くときはやがて回転が停止してしまうので、制御回路91では比較器90においてカウンタ86の値がbより大きいとき、即ち上記同期信号の欠落が数十セクタ以上のとき（光ピックアップのフォーカス、またはトラック制御のはずれなどの場合がある）、セクタ92は演算器60の出力（CAV誤差信号）をPWM信号生成回路63に出力する。従って、ディスク50はパルスジェネレータ56によるCAV制御の状態になり、回転を続ける。

【0076】上記動作においては、同期信号の欠落の状態に応じてCLV制御から一旦ホールド状態としてからCAV制御しているので、トラックジャンプ等のとき、いきなりCAV制御になってディスク50の回転が大きく変わるのを防止され、ホールド状態のためPLL回路53でのクロックの再同期がしやすい。このため、上記ではa=26、b=20としたが、これにとらわれるものではなく、a=トラックジャンプ等のときの同期信号欠落数、 $a \times b$ = 光ピックアップのフォーカス、またはトラック制御のはずれなどの場合のときの同期信号欠落数を目安に、それぞれ任意に入力端子87よりa、88からbの値を入力するだけで、CLV制御→ホールド状態→CAV制御と自動切り換えが可能となる。

【0077】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0078】比較器における比較の結果、所定値よりも信号処理速度手段の検出値が大きくなったとき、ディスクの回転制御が第一の制御手段から第二の制御手段に切り換えられるので、ディスクの内周側ではアクセス性の向上に重点をおいた定角速度制御、外周側では信号処理速度の増大に歯止めをかけるための定線速度制御へとディスクの再生位置に応じた適切な回転制御をかけることができる。

【0079】また、比較器における比較の結果、所定値よりも回転速度検出手段の検出値が大きくなったとき、ディスクの回転制御が第二の制御手段から第一の制御手段に切り換えられるので、外周では最高速の信号処理を定線速度制御で行い、内周では信号処理速度を落として定角速度制御に移行することで、内周で定線速度制御をさせることによるスピンドルモータの回転数の増大や、それに伴う振動や消費電力の増加を押さえることができる。

【0080】また、第一の比較器における比較の結果、

第一の所定値よりも信号処理速度手段の検出値が大きくなったとき、ディスクの回転制御が第一の制御手段から第二の制御手段に切り換えられ、第二の比較器における比較の結果、第二の所定値よりも回転速度検出手段の検出値が大きくなったとき、ディスクの回転制御が第二の制御手段から第一の制御手段に切り換えられるので、ディスクの内周側ではアクセス性が向上するとともに、スピンドルモータの必要以上の回転数増大や、それに伴う振動や消費電力の増加を抑えたと定角速度制御を行い、外周側では最高速の信号処理を定線速度制御で行うことで、それ以上の信号処理速度の増大に歯止めをかけることができ、再生位置に応じて信号処理能力の限界およびスピンドルモータの回転限界の範囲を最大限に生かした、最適なディスク制御をかけることができる。

【0081】また、検出器における検出の結果、速度誤差信号が所定値以下のときは、加速手段からディスクを加速する加速信号が制御手段に与えられ、速度誤差信号が所定値以上のときは加速信号が解除されるので、ディスクの起動時またはディスクの加速が必要なトラックジャンプを行ったときに短時間で加速して定線速度制御が可能となり、また定線速度制御可能な範囲まで加速すると自動的に加速信号が解除されるので、ディスクアクセスの簡略化および高速化が図れる。

【0082】また、速度誤差信号が所定値以上のときは、減速手段からディスクを減速する減速信号が制御手段に与えられ、速度誤差信号が所定値以下のときは減速信号が解除されるので、ディスクの減速が必要なトラックジャンプを行ったときに短時間で減速して定線速度制御が可能となり、また定線速度制御可能な範囲まで減速すると自動的に減速信号が解除されるので、ディスクアクセスの簡略化および高速化が図れる。

【0083】また、第一の検出器における検出の結果、速度誤差信号が所定値以下のときは加速手段からディスクを加速する加速信号が制御手段に与えられ、この速度誤差信号が所定値以上のときは加速信号が解除され、第二の検出器における検出の結果、速度誤差信号が所定値以上のときは減速手段からディスクを減速する減速信号が制御手段に与えられ、速度誤差信号が所定値以下のときは減速信号が解除されるので、ディスクの起動時またはディスクの加速、減速が必要な通常のトラックジャンプを行ったときに短時間で加減速して定線速度制御が可能となり、また定線速度制御可能な範囲まで加減速すると自動的に加減速信号が解除されるため、定線速度制御ディスクの持つディスクアクセス遅さという欠点を解消できるとともに、アクセス動作を簡略化でき、しかも減速手段によってディスクの過回転を防止できる。

【0084】また、同期信号評価手段における評価の結果、同期信号が所定間隔で検出されたとき計測手段が初期化され、同期信号が所定間隔で検出されないときはその期間が計測手段によって基準信号を用いて計測され

る。そして比較器によって計測手段の計測値と所定値が比較され、この比較の結果、計測値が所定値以上のとき切換手段によって制御動作が停止またはホールドされるので、同期信号が欠落し、定線速度制御ができないときはディスクの回転がホールド状態（スピンドルモータに制御電圧がかからず、慣性で回っている状態）になり、再び同期信号が所定間隔で検出されるようになるまで、ディスクの過回転または停止、逆回転といった誤動作を防止できる。

【0085】また、同期信号評価手段における評価の結果、同期信号が所定間隔で検出されたとき計測手段が初期化され、同期信号が所定間隔で検出されないときはその期間が計測手段によって基準信号を用い計測される。そして比較器によって計測手段の計測値と所定値が比較され、この比較の結果、計測値が所定値以上のとき切換手段によってディスクの回転の制御が第二の制御手段から第一の制御手段に切り換えられるので、同期信号が長期間欠落し、定線速度制御できないときは定角速度制御に切り換わるので、ディスクの過回転もしくは停止、逆回転といった誤動作が防止され、また再び同期信号が所定間隔で検出されるようになるまで長期間を要する場合でもディスク制御が続けられる。

【0086】さらに、同期信号評価手段における評価の結果、同期信号が所定間隔で検出されたとき計測手段が初期化され、同期信号が所定間隔で検出されないときはその期間が計測手段によって基準信号を用い計測される。そして第一および第二の比較器によって計測手段の計測値と第一および第二の所定値が比較され、計測値が第一の所定値以上のときは切換手段によってディスクの回転の制御が停止またはホールドされ、計測値が第二の所定値以上のときは第一の制御手段に切り換えられるので、同期信号の欠落の状態に応じて定線速度制御から一旦ホールド状態とした後、定角速度制御に移行するので、トラックジャンプ等のとき、いきなり定角速度制御になってディスクの回転が大きく変わるのが防止され、また数トラックジャンプなどのときの短期間の同期信号欠落ではホールド状態のためディスクの回転があまり変わらず、PLL回路でのクロックの再同期がしやすい。さらに、フォーカスまたはトラック制御はずれなどの比較的長期間の同期信号欠落ではディスクの停止、過回転等の誤動作を防止できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1におけるディスク回転制御装置を示すブロック図である。

【図2】 実施の形態1におけるディスク回転制御装置の動作説明図である。

【図3】 この発明の実施の形態2におけるディスク回転制御装置を示すブロック図である。

【図4】 実施の形態2におけるディスク回転制御装置の動作説明図である。

【図5】 この発明の実施の形態3におけるディスク回転制御装置を示すブロック図である。

【図6】 この発明の実施の形態4におけるディスク回転制御装置を示すブロック図である。

【図 7】 この発明の実施の形態 5 におけるディスク回転制御装置を示すブロック図である。

【図8】 この発明の実施の形態6におけるディスク回転制御装置を示すブロック図である。

【図 9】 この発明の実施の形態 7 におけるディスク回転制御装置を示すブロック図である。

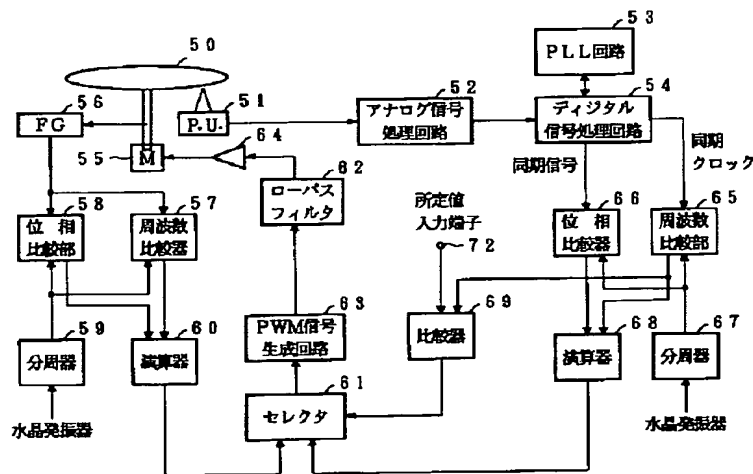
【図10】 従来例におけるディスク回転制御装置を示すブロック図である。

【符号の説明】

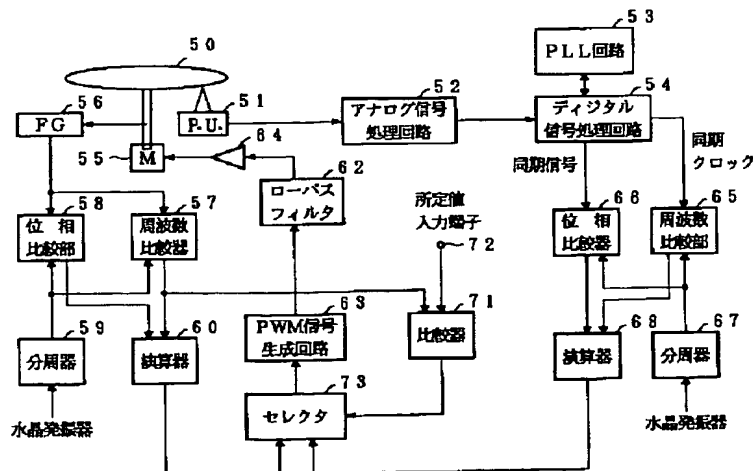
51 光ピックアップ、52 アナログ信号処理回路、
53 PLL回路、54 デジタル信号処理回路、5

5 スピンドルモータ、56 パルスジェネレータ、57 周波数比較器、58 位相比較器、59 分周器、60 演算器、61 セレクタ、62 ローパスフィルタ、63 PWM信号生成回路、64アンプ、65 周波数比較器、66 位相比較器、67 分周器、68 演算器、69 比較器、70 入力端子、71 比較器、72 入力端子、73 セレクタ、74 入力端子、75 制御回路、76 アンダーフロー検出器、77セレクタ、78 入力端子、79 制御回路、80 オーバーフロー検出器、81 セレクタ、83 同期信号ロック判定回路、84 分周器、85、86カウンタ、87、88 比較器、89、90 入力端子、91 制御回路、92セレクタ、93 入力端子、101、102 セレクタ。

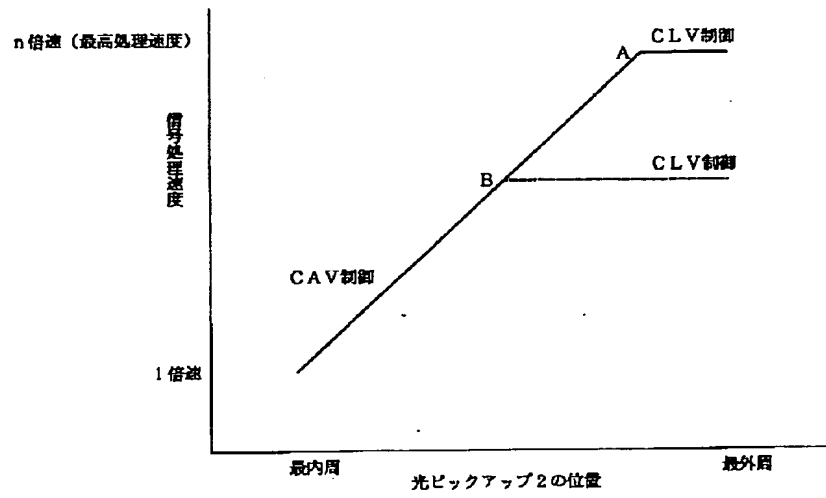
【図 1】



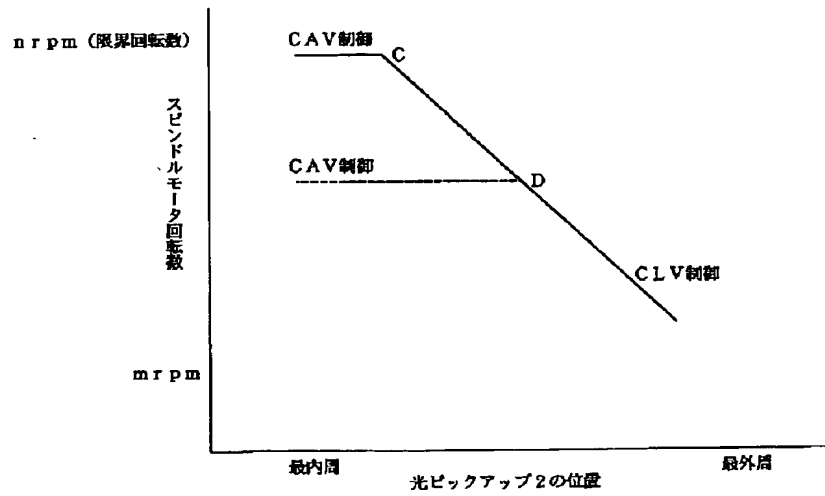
【図 3】



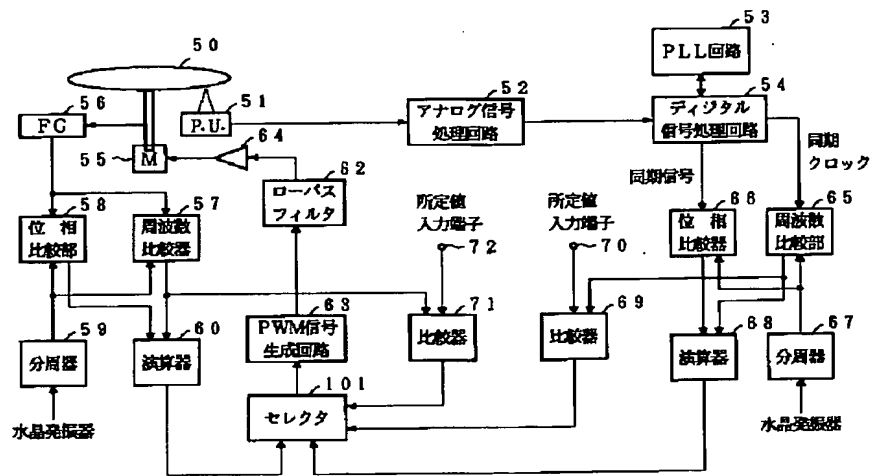
【図2】



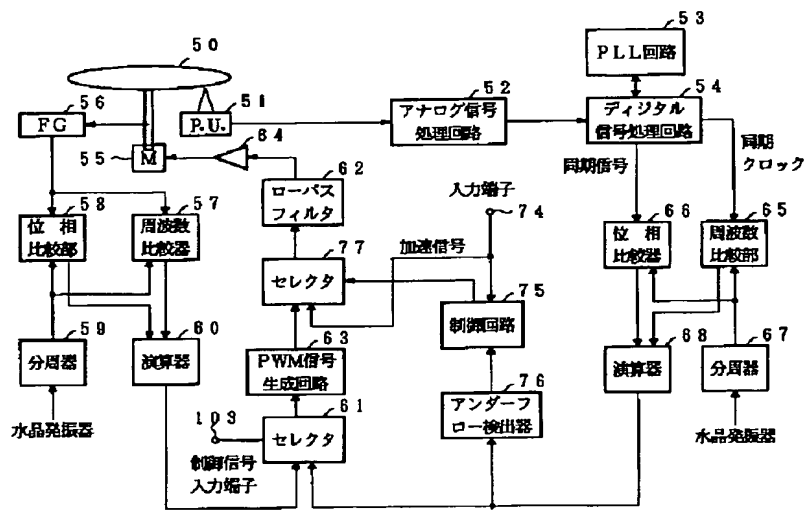
【図4】



【図 5】



【図6】



[illegible]

Figure 1 is a block diagram of a PLL control system for a motor drive. The system includes a PLL circuit (53) which provides a digital signal (54) to a digital signal processing circuit (52). The digital signal processing circuit (52) outputs an analog signal (52) to a P.U. (51), which drives a motor (50). The motor's position is detected by a P.G. (56) and converted to a digital signal (55) by an A/D converter (54). This signal is compared with a reference (58) in a phase comparator (58) and a frequency comparator (57). The outputs of these comparators are processed by a divider (59) and an adder (60) to generate a PWM signal (63) via a selector (102). The PWM signal is then used by a selector (61) to control the motor. The system also includes a PLL circuit (53) with a divider (67) and an adder (68) to generate a reference signal (54).

[illegible]

(72)発明者 木津 直樹
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内